

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 52-086782

(43)Date of publication of application : 19.07.1977

(51)Int.Cl.

H01L 21/76

(21)Application number : 51-003674

(71)Applicant : NEC CORP

(22)Date of filing : 13.01.1976

(72)Inventor : KUSAKA TERUO

## (54) PRODUCTION OF SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PURPOSE: An IC of high output and high dielectric strength is produced by connecting insulating and isolating grooves to a buried layer, insulating side faces, burying the grooves with a conductive material and covering the surface with an insulator film.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁  
公開特許公報

⑪特許出願公開  
昭52-86782

⑤Int. Cl.<sup>2</sup>  
H 01 L 21/76

識別記号

⑥日本分類  
99(5) H 0

庁内整理番号  
6513-57

④公開 昭和52年(1977)7月19日

発明の数 1  
審査請求 未請求

(全 5 頁)

④半導体集積回路の製造方法

東京都港区芝五丁目33番1号日  
本電気株式会社内

②特 願 昭51-3674

⑦出 願 人 日本電気株式会社

②出 願 昭51(1976)1月13日

東京都港区芝五丁目33番1号

⑦発 明 者 日下輝雄

⑧代 理 人 弁理士 内原晋

明 細 書

微とする半導体集積回路の製造方法。

1 発明の名称 半導体集積回路の製造方法

3 発明の詳細な説明

2 特許請求の範囲

本発明は、高出力、高耐圧の半導体集積回路の製造方法に関する。

1. P型(又はN型)シリコン基板の一主平面に局部的に比較的不純物濃度の高いN<sup>+</sup>型(又はP<sup>+</sup>型)の埋込層を形成した後、N型(又はP型)薄膜をエピタキシャル成長させ、そのエピタキシャル層を島状に絶縁分離し、各島内に個別の能動または受動回路素子を形成し、各素子間を導電体で接続して構成する半導体集積回路の製造方法において、前記絶縁分離領域の溝および前記N<sup>+</sup>(又はP<sup>+</sup>)埋込層からの電極引出しのための溝を形成するため、該当部分をエッチング除去する工程と、該エッチング溝を絶縁性薄膜で被覆する工程と、前記電極引き出しの溝の底面およびその近傍の絶縁膜を取り除く工程と、前記溝を導電性の材料で埋める工程と、この導電性材料で埋めた溝の表面を絶縁膜で被覆する工程とを含むことを特

現在、半導体集積回路は、普通第1図に示すような工程により製造されている。すなわち、第1図(a)はP型シリコン基板1の一主平面に局部的に不純物濃度の比較的高いN<sup>+</sup>型埋込層2a, 2b...を拡散法等により形成し、その上に不純物濃度の比較的低いN型薄膜3をエピタキシャル成長させ、さらにその上にSiO<sub>2</sub>膜4を形成したことを示す。第1図(a)に示す層2a, 2b...は、十分良好な分離特性を得るには比較的難して形成しておく必要がある。第1図(b)はSiO<sub>2</sub>膜4の該当部分にフォトリソ法によりSiO<sub>2</sub>膜の窓5を開け、そこからP型不純物を拡散し、比較的不純物濃度の高いP<sup>+</sup>層6を形成したことを示す。拡散には酸化性雰囲気を使用され、SiO<sub>2</sub>膜の窓5は図のように新たに成長したSiO<sub>2</sub>膜により被覆さ

れている。またN型層3はP+層6により電氣的に絶縁分離された島状の層3a, 3b…に区分されている。第1図(a)は同図(b)と同じく、フォトリソ技術と拡散技術により、層3aの中の該当部分に、P層7を形成し、さらに同じ方法によりN+層8、および層9を形成したことを示す。図のように層8は層7の中に形成し、層9は層3aに形成したものとすると周知のように、層8は個別のトランジスタのエミッタ層、層7は同じくベース層、層3aは同じくコレクタ層、層9はコレクタ層3aからの電極引き出し層、層2aはコレクタ埋込層、層6は各トランジスタを分離する絶縁分離領域と呼ばれる。第1図(c)はフォトリソ技術によりSiO<sub>2</sub>膜の該当部分に窓を開けた後、Au等メタル膜10により各素子を接続する配線を施したことを示す。

従来のこの製造方法では高出力、高耐圧化のためには基本的に層3の不純物濃度を低下させ、かつ層3の膜厚を厚くしなければならない。それに付随して、次のような四つの技術的問題点が生じる。

のである。

つぎに、第2図に示す実施例を引用しながら、本発明の詳細を説明する。第2図(a)は第1図(a)と同じ状態を示す。ただし、本発明では従来のように、熱処理工程における層6、および層2a, 層2bの浮上り拡散を考慮する必要がなく、層2aと層2bは比較的近接して、形成することが可能である。

第2図(b)は光照射した比較的低濃度の高いHF系電解液中の陽極化成により、絶縁分離領域11とコレクタ引き出し層12を多孔質なシリコンにしたことを示す。選択的領域を多孔質シリコン化するため、本例では酸化シリコン薄膜によりシリコン表面を電解液に対して選択的にマスクする方法を使用した。この方法以外に、例えば、電解液中のウエハ表面にパターンを結像させるとか、あるいは、光ビーム状にして走査するとかの方法により電解液中のウエハ表面を局部的に光照射して、選択的に多孔質シリコン化することもできる。第2図(c)は同図(b)のものについて、比較的低濃度

## 特開昭52-86782 (2)

問題点1、層3の膜厚を厚くしようとすると、エピタキシャル成長が長時間になるので、層2と同時に形成したPRマスク目合わせ用パターンの位置が変動し、層6を形成するときのフォトリソの目合わせが狂う。そのため層6と層2a, 2b…が接近しすぎる場所が生じ、素子間分離耐圧の低下をもたらす。

問題点2、層6を形成する拡散が高温度、長時間になり不純物プロファイルの変動、特に層2a, 2b…の不純物がN層3に浮き上がり拡散することのため欠陥等が多くなる。

問題点3、層3a, 3b…が高抵抗率になり、かつ、膜厚が厚くなるため、コレクタ直列抵抗が増大する。

問題点4、Si表面がより少い表面電荷により反転するようになり、そのため、配線バイアス等により寄生チャネルが生じやすい。

本発明は、高出力、高耐圧化にあたっての上記技術的問題点のなかで1~2に対して著しい改善効果を示す半導体集積回路の製造方法を与えるも

のHF系電解液中で電解エッチングし、層11および層12に相当する部分を除去し、層13、および層14を形成したことを示す。

第2図(c)は熱酸化法により、SiO<sub>2</sub>膜15を形成したことを示す。このときの熱処理は第1図(c)における層6の形成の場合に比べてはるかに低温短時間でよい。従って前述の技術的問題点2は本発明によれば解決される。また絶縁分離はSiO<sub>2</sub>膜15により行なわれているので、層2a, 層2bは分離領域に接触しても耐圧は低下しない。従って、本発明によれば、技術的問題点1も解決される。我々の検討結果によれば、従来のPN接合分離による場合、素子間分離耐圧を制限しているのは、層1と層2a, 2bによるPN接合部分ではなく、層6と層3aによるPN接合、特に接合表面部であることが明らかになっている。従って、基板1、埋込層2a, 2b…、エピタキシャル層3a, 3b…等の不純物濃度を同一にしても本発明によれば、従来法より素子間分離耐圧が高くてきる。

特開昭52-86782 (3)

第2図(e)は第1図(c)と同じく、フォトエッチング技術と拡散技術とにより、ベース層7、エミッタ層8を形成した後、溝14の底面と側面の $\text{SiO}_2$ 膜15をフォトエッチング技術により除去したことを示す。なお、本発明で使用するフォトレジストは、物理的溝が存在するので陽面型の方が有利である。例えば上記工程では、陽面型フォトレジスト膜を形成した後、溝14のみにスポット状の光で露光すればよい。

第2図(f)は薄いA<sub>2</sub>膜17を熱溶法により形成したことを示す。本例ではA<sub>2</sub>膜を使用したか層17の役割は低抵抗値でコレクタを引き出すことと絶縁分離領域の溝13を物理的にうずめることであり、この役割を果たし得るものであれば、単層、多層を問わず全てのメタル厚膜、さらに、高不純物ドーパの多結晶シリコン層等使用できる。本例のようにA<sub>2</sub>等メタルを使用した場合、誘電体分離法等で使用する多結晶シリコン層の研磨の場合に比べて、層17と $\text{SiO}_2$ 膜15との間の極端な硬度の違いのため研磨はより容易である。

例えば、第2図(c)の溝13、および溝14の形成には、本例の方法の他にいくつかの方法が可能である。すなわち、微細パターンの加工性には劣るが、本例のような電解エッチングではなく、化学エッチング法によっても形成することができる。また、最近ドライプロセスとして注目されているプラズマエッチング法によっても、原理的には形成が可能である。さらにまた、従来法で、第1図(b)に加工したのち、HF系電解液中での電解エッチング(この場合光照射は必要でなく、大量のウェハースが一括して処理できる)により形成することも可能である。

本発明の説明の便宜上、これまでの説明ではP型基板上にN型エピタキシャル層を成長させた場合について述べているが、N型基板上にP型エピタキシャル層を成長させた場合についても本発明を実施できることは明らかである。

本発明によれば、前に述べたように絶縁分離領域を形成する熱処理工程は従来法に比べてはるかに弱いので、コレクタN<sup>+</sup>埋込層の浮き上がりが少

第2図(g)は層17を機械的研磨により平面に仕上げたのち、低温気相酸化法により、 $\text{SiO}_2$ 膜18を形成したことを示す。 $\text{SiO}_2$ 膜18の役割は、第3図で示すようにこの後、素子間を接続するメタルの配線10と層17との絶縁である。従って、層17が例えばA<sub>2</sub>の場合、第2図(g')に示すように、層17の表面を陽極化成等により絶縁膜19a, 19bに変えることによっても本発明を実施することができる。

第3図は $\text{SiO}_2$ 膜18、および $\text{SiO}_2$ 膜15の所定の場所にフォトエッチング技術により窓を開けた後、周知のメタライズを施して素子間を接続するメタル配線10を形成し完成したことを示す。図から明らかなように、トランジスタのコレクタは、埋込層2aから直接、メタル等良導電性の層17bにより引き出されているので、コレクタ直列抵抗は極めて小さくできる。従って、前述した高出力、高耐圧化の技術的問題点も本発明によれば解決し得る。

本発明は上記実施例に限定されるものではない。

くなることの他に、熱処理による結晶欠陥、結晶内部ストレス等の導入が抑止されて、リニアICのノイズ特性等を改善することが期待される。また、絶縁分離領域は、 $\text{SiO}_2$ 膜、ガラス薄膜等誘電体で形成されるので、分離容量が低減される。さらにまた、絶縁分離領域の溝13を物理的にうずめている層17aは電気的良導体であると共に、熱的にも良導体であり、局部的発熱を層17aを利用して熱分散させることも可能である。

#### 4 図面の簡単な説明

第1図(a)~(d)は従来の半導体集積回路の製造工程途中の製品断面図、第2図(a)~(g')は本発明の製造法を説明するための製造工程途中の製品の断面図、第3図は本発明方法による完成品の断面図である。

1…P型シリコン基板、2a, 2b…N<sup>+</sup>埋込層、3…N型エミタキシャル成長層、4, 15, 18…シリコン酸化膜、6…P<sup>+</sup>分離領域、7…P型ベース層、8…N<sup>+</sup>エミッタ層、9…コレク

タ引出層、10…メタル配線層、11, 12…多  
結晶シリコン層、13, 14…溝、17…A<sub>2</sub>層。

… 内 原 …

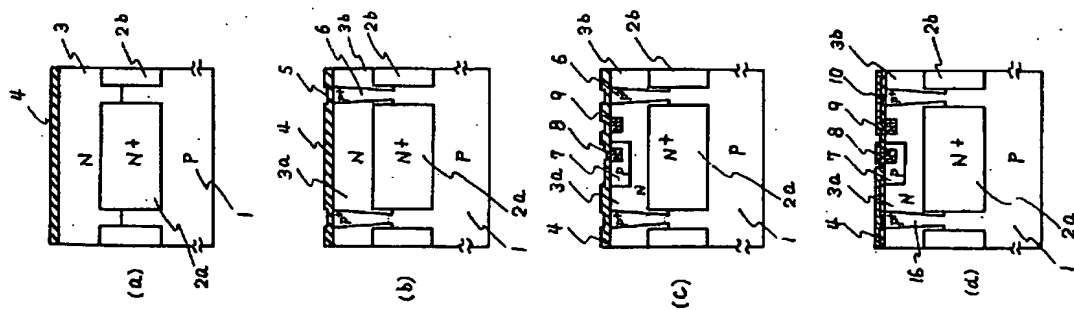
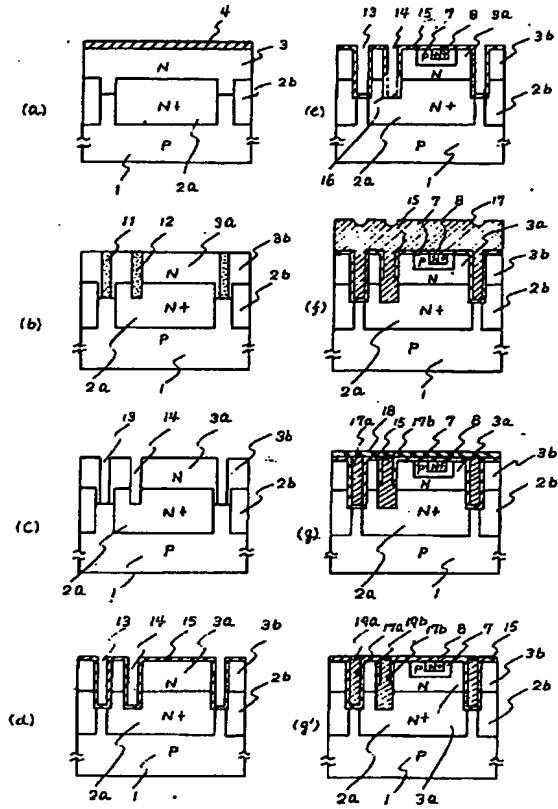
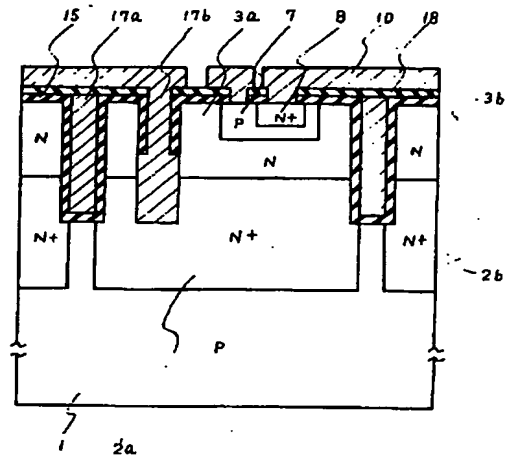


図 1 第 1 図



第 2 図



第 3 図